

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **59033875 A**(43) Date of publication of application: **23.02.84**

(51) Int. Cl. **H01L 29/78**  
**// H01L 21/88**  
**H01L 29/62**

(21) Application number: **57143702**(71) Applicant: **TOSHIBA CORP**(22) Date of filing: **19.08.82**(72) Inventor: **ISHIUCHI HIDEMI**

## (54) MOS TYPE SEMICONDUCTOR DEVICE

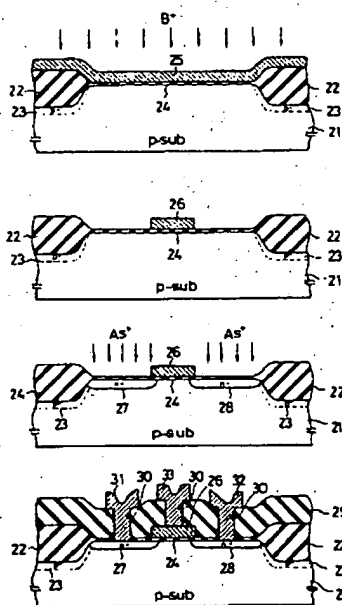
n-channel MOS transistor is manufactured.

## (57) Abstract:

COPYRIGHT: (C)1984,JPO&amp;Japio

**PURPOSE:** To obtain an MOS type semiconductor device which can be controlled stably at its threshold voltage by doping acceptor atoms of boron or the like in an Si region which is isolated in an  $\text{MoSi}_x$  film, thereby stabilizing the work function of metal silicide for forming a gate electrode.

**CONSTITUTION:** A gate oxidized film 24 is formed on the surface of an insular substrate 21 which is isolated by a field oxidized film 22, and an  $\text{MoSi}_{2.5}$  film 25 is accumulated by sputtering method on the overall surface. Boron ions are implanted as acceptor atoms on the overall surface of the film 25. Subsequently, the film 15 is patterned to form a gate electrode 26. With the electrode 26 and the film 22 as masks, an N type impurity, e.g. arsenic is ion implanted on the surface of the substrate 21, activated in an oxygen atmosphere, and  $n^+$  type source and drain regions 27, 28 are formed. Then, a CVD- $\text{SiO}_2$  film 29 is accumulated on the overall surface, the regions 27, 28 and the film 29 are selectively removed to open contacting holes 30, ..., an aluminum film is then deposited on the entire surface, patterned to form aluminum wirings 31-33, and an



## ⑫ 公開特許公報 (A)

昭59—33875

⑪ Int. Cl.<sup>3</sup>

H 01 L 29/78

// H 01 L 21/88

29/62

識別記号

庁内整理番号

7377—5F

6810—5F

7638—5F

⑬ 公開 昭和59年(1984)2月23日

発明の数 1

審査請求 有

(全 5 頁)

## ⑭ MOS型半導体装置

川崎市幸区堀川町72番地東京芝  
浦電気株式会社堀川町工場内

⑮ 特 願 昭57—143702

⑯ 出 願 人 東京芝浦電気株式会社

⑰ 出 願 昭57(1982)8月19日

川崎市幸区堀川町72番地

⑱ 発 明 者 石内秀美

⑲ 代 理 人 弁理士 鈴江武彦 外2名

## 明 細 書

## 1. 発明の名称

MOS 型半導体装置

## 2. 特許請求の範囲

(1)  $MSix$  (但し、 $M$ は金属、 $x$ は2より大きい数)にて表わされ、かつアクセプタ原子を含む金属硅化物からなるゲート電極を備えたことを特徴とするMOS型半導体装置。

(2) 金属硅化物が  $MoSix$ ,  $TaSix$ ,  $TiSix$ ,  $WSix$  及び  $PtSix$  (但し、 $x$ は2よりも大きい数)から選ばれるものであることを特徴とする特許請求の範囲第1項記載のMOS型半導体装置。

(3) アクセプタ原子がホウ素、インジウム、ガリウムのうちから選ばれる1種又は2種以上の混合物であることを特徴とする特許請求の範囲第1項記載のMOS型半導体装置。

(4) ゲート電極と構成する金属硅化物中にアクセプタ原子とドナー原子とを含み、かつアクセプタ原子の濃度がドナー原子のそれより大きいことを特徴とする特許請求の範囲第1項記載

のMOS型半導体装置。

## 3. 発明の詳細な説明

(発明の技術分野)

本発明はゲート電極を改良したMOS型半導体装置に関する。

(発明の技術的背景)

最近、MOS型半導体装置の高集積度化、高速化を目的として、ゲート電極として多結晶シリコンの代りに比較的抵抗の低い金属シリサイドを用いることが行なわれている。かかる金属シリサイド(例えばモリブデンシリサイド)からなるゲート電極を有するMOSトランジスタは、従来、次のような方法により製造されている。

まず、p型シリコン基板1にボロンの選択ドーピング、選択酸化により周囲にp-型反転防止層2を有するフィールド酸化膜3を形成する。つづいて、フィールド酸化膜3で分離された島状の基板1領域表面に熱酸化によりゲート酸化膜4を形成した後、全面にスパッタ法により例えば厚さ3000Åの $MoSix$ 膜5を堆積する(第

1 図(a) 図示)。

次いで、 $\text{MoSi}_x$  膜 5 をパターンニングしてゲート電極 6 を形成する(第 1 図(b) 図示)。つづいて、ゲート電極 6 をマスクとして p 型不純物、例えば砒素をゲート酸化膜 4 を通して基板 1 にイオン注入し、活性化して n<sup>+</sup> 型のソース、ドレイン領域 7、8 を形成する(第 1 図(c) 図示)。ひきつづき、全面に CVD- $\text{SiO}_2$  膜 9 を堆積し、コンタクトホール 10…を開孔した後、AL 膜を蒸着、パターンニングによりソース、ドレイン領域 7、8 及びゲート電極 6 とコンタクトホール 10…を介して接続した AL 配線 11~13 を形成して MOS トランジスタを製造する(第 1 図(d) 図示)。

〔背景技術の問題点〕

しかしながら、 $\text{MoSi}_x$  をゲート電極とする MOS トランジスタは次のような問題があった。即ち、Mo と Si の組成比  $x$  を小さくすると、 $\text{MoSi}_x$  の耐薬品が低下し、製造上多くの問題が生じる。一方、Mo と Si の組成比  $x$  を大きくす

- 3 -

離することによりその  $V_{FB}$  の不安定性を生じることを究明した。即ち、 $\text{MoSi}_x$  膜(但し  $x > 2$ ) を堆積した後、熱処理を施すと、第 3 図に示す如く  $\text{MoSi}_2$  領域と Si 領域とに分離し、 $\text{MoSi}_2$  領域を囲むように Si 領域が形成される。このように  $\text{MoSi}_2$  領域と Si 領域の分離が起こると、膜界面においては Si 領域が多いため、膜(ゲート電極)の仕事関数は主として Si 領域の仕事関数で決まる。このため、前記従来例の如く  $\text{MoSi}_x$  のゲート電極 6 をマスクとして砒素のイオン注入を行なう工程(第 1 図(c) 参照)があると、第 3 図の Si 領域は砒素が少量含まれたものとなり、これがフラットバンド電圧( $V_{FB}$ )の低下原因となる。

このようなことから、本発明者は上記知見に基づき更に鋭意研究を重ねた結果、 $\text{MoSi}_x$  膜中の分離した Si 領域にボロン等のアクセプタ原子をドーピングすることによって、分離した Si 領域の仕事関数を  $\text{MoSi}_2$  の仕事関数に近似させ、第 2 図の実線に示す如く、 $\text{MoSi}_x$  の組成比  $x$  の

- 5 -

ると、比抵抗が大きくなり過ぎる。このため、前記組成比  $x$  は  $2 < x \leq 3$  の範囲に設定することが望ましいが、この範囲では  $\text{MoSi}_x$  のゲート電極を有する MOS トランジスタのフラットバンド電圧( $V_{FB}$ )は第 2 図の点線に示す如く不安定となり、制御性が悪化する。その結果、MOS トランジスタの閾値電圧の制御性が悪化するという重大な問題を生じる。こうした現象は他の金属硅化物の場合にもみられる。

〔発明の目的〕

本発明はゲート電極を形成する金属硅化物の仕事関数を安定化させ、閾値電圧を安定的に制御し得る MOS 型半導体装置を提供しようとするものである。

〔発明の概要〕

本発明者は、 $\text{MoSi}_x$  からなるゲート電極がその Mo と Si の組成比  $x$  の変動によりゲート電極からなる MOS 構造のフラットバンド電圧( $V_{FB}$ )が不安定となる原因について種々検討した結果、 $\text{MoSi}_x$  が熱処理工程において  $\text{MoSi}_2$  と Si とに分

- 4 -

変化に関係なくフラットバンド電圧( $V_{FB}$ )を安定化させ、ひいては閾値電圧の制御性が良好な MOS 型半導体装置を見出したものである。

〔発明の実施例〕

次に、本発明の実施例を第 4 図(a)~(d)の製造工程を併記して説明する。

(i) まず、比抵抗  $5 \sim 10 \Omega \cdot \text{cm}$  の p 型シリコン基板 21 にパフア酸化膜を介してシリコン窒化膜パターン(いずれも図示せず)を形成し、該パターンをマスクとしてボロンを基板 21 表面にイオン注入した後高温砒素雰囲気中で熱処理してフィールド酸化膜 22 を形成すると共にフィールド酸化膜 22 周辺の基板 21 に p- 型反転防止層 23 を形成した。つづいて、シリコン窒化膜パターン及びパフア酸化膜を順次除去した後、再度、熱酸化処理を施してフィールド酸化膜 22 で分離された島状の基板 21 領域表面に例えば厚さ  $500 \text{ \AA}$  のゲート酸化膜 24 を形成した。ひきつづき、全面にスパッタ法により厚さ  $3000 \text{ \AA}$  の  $\text{MoSi}_{2.5}$  膜 25 を堆積した後、

- 6 -

該  $\text{MoSi}_{2.5}$  膜 25 全面にアクセプタ原子としてのボロンをドーザ量  $1 \times 10^{16}/\text{cm}^2$  の条件でイオン注入した(第4図(a)図示)。

(ii) 次いで、ボロンドープ  $\text{MoSi}_{2.5}$  膜 25 をフォトリソ技術によりパターンニングしてゲート電極 26 を形成した(第4図(b)図示)。つづいてゲート電極 26 及びフィールド酸化膜 22 をマスクとして n 型不純物、例えば砒素をドーザ量  $5 \times 10^{15}/\text{cm}^2$  の条件でゲート酸化膜 24 を通して基板 21 表面にイオン注入した後、 $1000^\circ\text{C}$  の酸素雰囲気中で 10 分間活性化して  $n^+$  型のソース、ドレイン領域 27, 28 を形成した(第4図(c)図示)。この場合、ゲート電極 26 中への砒素濃度を前記ホウ素濃度より低くするために、砒素のイオン注入量は前述したボロンのイオン注入量より低く設定した。なお、前記ゲート電極 26 のパターンニング時に用いたレジストパターンをそのままゲート電極 26 に形成した状態で、砒素のイオン注入を行なえば、砒素のドーザ量は前記ボロンのドーザ量に関係

-7-

め、ゲート抵抗の低減化が可能となり、ひいては高速動作を達成できる。

更に、前記製造方法の如く  $\text{MoSi}_{2.5}$  膜 25 の堆積後にボロンのイオン注入を行なうことにより、 $\text{MoSi}_{2.5}$  膜 25 中のストレスを緩和できる。

なお、上記実施例では  $\text{MoSi}_x$  としてその組成比  $x$  が 2.5 のものを用いたが、組成比  $x$  が 2 より大きければ同様な効果を發揮できる。

また、ゲート電極の材料としては  $\text{MoSi}_x$  の他に  $\text{TaSi}_x$ ,  $\text{WSi}_x$ ,  $\text{PtSi}_x$ ,  $\text{TiSi}_x$ (但し、いずれも  $x$  は 2 よりも大きい)等の金属硅化物を用いてもよい。

更に、上記実施例ではアクセプタ原子としてホウ素を用いたが、これに限定されずガリウム、インジウム等でもよい。

本発明に係る MOS 型半導体装置は n チャンネル MOS トランジスタに限らず、p チャンネル MOS トランジスタ、CMOS 等にも同様に適用できる。

(発明の効果)

なく自由に設定できる。

(iii) 次いで、全面に例えば厚さ  $8000\text{\AA}$  の CVD- $\text{SiO}_2$  膜 29 を堆積し、フォトリソ技術によりソース、ドレイン領域 27, 28 及びゲート電極 26 の一部に対応する  $\text{SiO}_2$  膜 29 を選択的に除去してコンタクトホール 30...を開孔した後、全面に AL 膜を蒸着し、パターンニングして前記ソース、ドレイン領域 27, 28 及びゲート電極 26 とコンタクトホール 30...を介して接続した AL 配線 31~33 を形成して n チャンネル MOS トランジスタを製造した(第4図(d)図示)。

しかして、本発明の MOS トランジスタはホウ素がドーピングされた  $\text{MoSi}_{2.5}$  からなるゲート電極 26 を有するため、ゲート電極 26 は分離した Si 領域のフラットバンド電圧が  $\text{MoSi}_2$  のそれに近似し、安定したフラットバンド電圧を有する。その結果、閾値電圧の制御性が良好となり、設計値通りの安定した動作が可能となる。

また、ゲート電極 26 が  $\text{MoSi}_{2.5}$  からなるた

-8-

以上詳述した如く、本発明によればゲート電極を形成する金属硅化物の仕事関数を安定化させることにより、閾値電圧を安定的に制御された高性能で高速動作が可能な MOS 型半導体装置を提供できるものである。

#### 4. 図面の簡単な説明

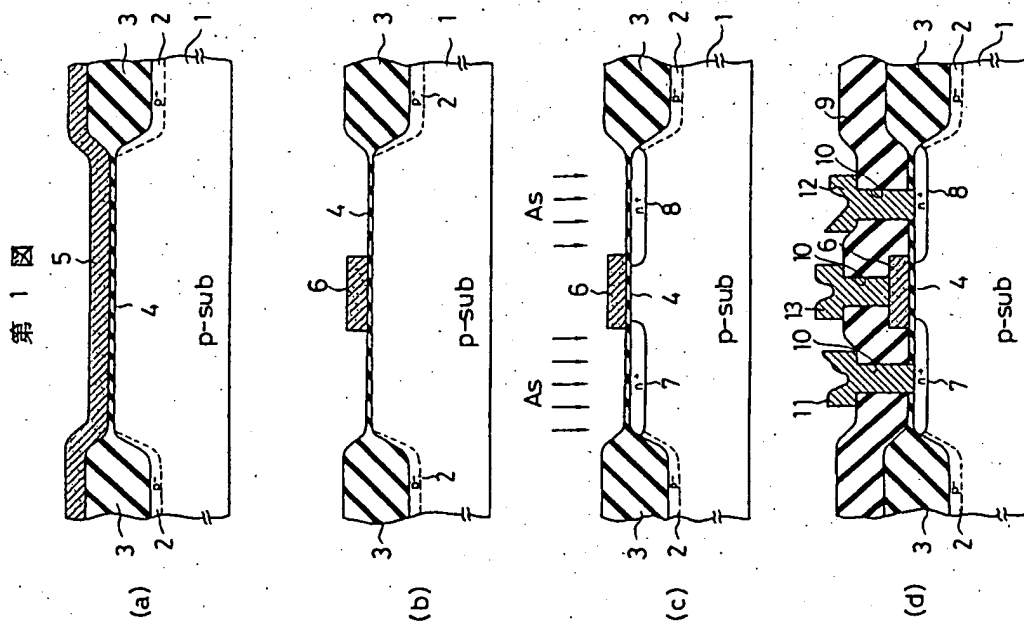
第1図(a)~(d)は従来の n チャンネル MOS トランジスタの製造工程を示す断面図、第2図は  $\text{MoSi}_x$  からなるゲート電極の  $x$  の変動と MOS 構造のフラットバンド電圧との関係、並びにボロンドープ  $\text{MoSi}_x$  からなるゲート電極の  $x$  の変動と MOS 構造のフラットバンド電圧との関係、を示す線図、第3図は  $\text{MoSi}_x$  膜の熱処理後における  $\text{MoSi}_2$  領域と Si 領域とし、分離した状態を示す説明図、第4図(a)~(d)は本発明の一実施例である n チャンネル MOS トランジスタを得るための製造工程を示す断面図である。

21...p 型シリコン基板、22...フィールド酸化膜、24...ゲート酸化膜、26...ボロンドープ  $\text{MoSi}_{2.5}$  からなるゲート電極、27... $n^+$ 型ソ

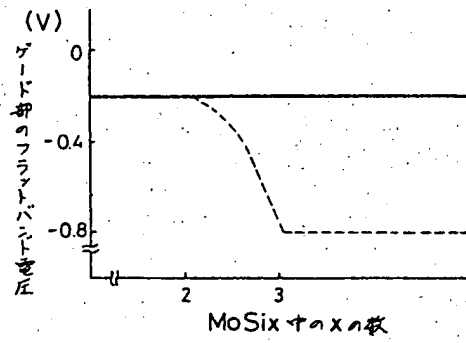
…ス領域、28… $n^+$ 型ドレイン領域、31~33  
…AZ配線。

出願人代理人 弁理士 鈴 江 武 彦

-11-



第 2 図



第 3 図

